

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

007939402

WPI Acc No: 1989-204514/ 198928

XRAM Acc No: C90-142236

XRPX Acc No: N90-250676

Dielectric isolation semiconductor device - with power and control
devices isolated from each other on same substrate

Patent Assignee: NIPPONDENSO CO LTD (NPDE)

Inventor: FUJII T; KUROYANAGI S; TSUZUKI Y

Number of Countries: 002 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1144665	A	19890606	JP 87304340	A	19871130	198928 B
US 4963505	A	19901016	US 88260997	A	19881021	199044
US 5138422	A	19920811	US 88260997	A	19881021	199235
			US 90536465	A	19900612	
			US 91790025	A	19911106	

Priority Applications (No Type Date): JP 87304340 A 19871130; JP 87271109 A
19871027

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 1144665	A		5		
US 5138422	A	15	H01L-027/02		Div ex application US 88260997 Cont of application US 90536465 Div ex patent US 4963505

Abstract (Basic): US 4963505 A

A method is claimed of making a semiconductor device, which comprises the following steps: 1) forming an insulating film at a predetermined region of a main surface of a first single crystal semiconductor substrate; 2) forming a polycrystalline semiconductor layer on the insulating film, and forming an

electrically conductive semiconductor layer on a main surface of the first substrate on which the insulating film is not formed; 3) smoothing the surface of the polycrystalline semiconductor layer and the surface of the semiconductor layer to obtain a smoothed surface; 4) preparing a second single crystal semiconductor substrate; 5= connecting the smoothed surface of the first single crystal semiconductor layer to a main surface of the second substrate; 6) forming an isolation region extending from a top main surface of the second substrate to a surface of the insulating film, so that a portion in the second substrate surrounded by the isolation region and mounted on the insulating film is electrically isolated from another portion of it, and 7) forming a semiconductor element on the isolated region mounted on the insulating film, and forming a semiconductor element used for electric power, a current path of this being formed from the second single crystal semiconductor substrate to the first, through the semiconductor layer, on a portion other than that portion isolated by the isolation region.

USE/ADVANTAGE - The invention is used for the mfr. of a dielectric isolation type semiconductor device. The device can operate without being affected by variations in electrical potential in the substrate. A intelligent type power device can be formed, in which the power semiconductor device and the semiconductor device controlling the power

device are formed on the same substrate but completely isolated from each other. (First major country equivalent to J01144665-A)

Dwg. 1g/8

Abstract (Equivalent): US 5138422 A

A semiconductor device has a single crystal substrate with a locally applied insulating film on which a polycrystalline semiconductor layer is formed. A single crystal semiconductor layer is formed on the substrate and over the polycrystalline material.

At least one isolation region extends down from the single crystal layer to electrically isolate at least part of the single crystal layer. A first semiconductor device on or in the layer provides control. A second semiconductor device formed on or in the single crystal layer forms a power transistor controlled by the first device.

ADVANTAGE - The design gives a device which is not affected by variations in the electric potential of the base substrate. It can be produced at relatively low cost. (Dwg. 1g/8)

Title Terms: DIELECTRIC; ISOLATE; SEMICONDUCTOR; DEVICE; POWER; CONTROL; DEVICE; ISOLATE; SUBSTRATE

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-027/02

International Patent Class (Additional): H01L-021/20; H01L-027/12; H01L-029/78

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L04-C12C

Manual Codes (EPI/S-X): U11-C01X; U11-C08C; U12-D02A; U13-D02; U11-C08A3; U11-C08A5; U12-D02A; U13-D; U13-D02

⑪ 公開特許公報(A)

平1-144665

⑫ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 平成1年(1989)6月6日
H 01 L 27/00	3 0 1	A-8122-5F	
21/20		7739-5F	
21/76		D-7638-5F	
27/00	3 0 1	R-8122-5F	
29/78	3 2 1	C-8422-5F	

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-304340

⑯ 出 願 昭62(1987)11月30日

⑰ 発 明 者	藤 井 哲 夫	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑱ 発 明 者	畔 柳 進	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑲ 発 明 者	都 築 幸 夫	愛知県刈谷市昭和町1丁目1番地	日本電装株式会社内
⑳ 出 願 人	日本電装株式会社	愛知県刈谷市昭和町1丁目1番地	
㉑ 代 理 人	弁理士 恩田 博宣		

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. 第1の半導体基板内あるいはその主表面の所定領域に絶縁膜を形成する工程と、

前記第1の半導体基板の主表面を平滑化する工程と、

前記第1の半導体基板の主表面と平滑な第2の半導体基板の主表面を接合する工程と、

前記第1の半導体基板あるいは第2の半導体基板に前記絶縁膜に至る分離層を形成して、電気的に分離される領域を区切る工程と、

前記分離層にて分離された各領域に素子を形成する工程と

を備えることを特徴とする半導体装置の製造方法。

2. 第1の半導体基板内あるいはその主表面の所定領域に絶縁膜を形成する工程は、単結晶シリコン基板の主表面の所定領域に絶縁膜としての熱酸化膜を形成しその熱酸化膜を含む単結晶シリコン

基板の主表面をエピタキシャル成長することにより熱酸化膜上にポリシリコン層を形成するとともに単結晶シリコン基板上にエピタキシャル層を形成するものであり、第1の半導体基板の主表面を平滑化する工程は前記エピタキシャル成長によるポリシリコン層及びエピタキシャル層を研磨により平滑化するものである特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 第1の半導体基板内あるいはその主表面の所定領域に絶縁膜を形成する工程は、単結晶シリコン基板の主表面の所定領域に絶縁膜としての熱酸化膜を形成しその熱酸化膜を含む単結晶シリコン基板の主表面をプラズマデポジションによりアモルファスシリコン層を形成し、さらに、固相エピタキシャル成長により熱酸化膜上のアモルファスシリコン層をポリシリコン化するとともに単結晶シリコン基板上のアモルファスシリコン層を単結晶化するものであり、第1の半導体基板の主表面を平滑化する工程は前記ポリシリコン化及び単結晶化したシリコン層を研磨により平滑化するもの

である特許請求の範囲第1項に記載の半導体装置の製造方法。

4. 第1の半導体基板内あるいはその主表面の所定領域に絶縁膜を形成する工程は、単結晶シリコン基板の主表面の所定領域にLOCOS酸化法により絶縁膜としての SiO_2 LOCOS領域を形成するものであり、第1の半導体基板の主表面を平滑化する工程は前記 SiO_2 LOCOS領域を含む主表面を研磨により平滑化するものである特許請求の範囲第1項に記載の半導体装置の製造方法。

5. 第1の半導体基板内あるいはその主表面の所定領域に絶縁膜を形成する工程は、単結晶シリコン基板の主表面の所定領域にLOCOS酸化法により絶縁膜としての SiO_2 LOCOS領域を形成するものであり、第1の半導体基板の主表面を平滑化する工程は同工程により前記 SiO_2 LOCOS領域に単結晶シリコン基板の主表面に対し凹部が形成されるものであり、第1の半導体基板の主表面と平滑な第2の半導体基板の主表面を接

- 3 -

タキシャル層5を形成した後)、表面を平坦化するためにエッチングする(同図(e))。その後、 SiO_2 膜3、4及び分離層6にて分離された領域P1を形成し、この領域P1にNチャネルトランジスタ、Pチャネルトランジスタ等を形成するとともに、エピタキシャル層5の領域P2にパワーMOSトランジスタを形成するものである。

(発明が解決しようとする問題点)

ところが、上述した従来の半導体装置の製造方法においては、縦型素子(パワーMOSトランジスタ)を形成するための領域P2はシリコン基板1、2、 SiO_2 膜3、4の一部を取り除いた後エピタキシャル層5を形成させ、さらに、素子形成のための研磨という工程が必要となり、工程が複雑で歩留りが低くコストアップになるという問題があった。

(発明の目的)

この発明の目的は上記問題点を解消し、製造が容易で安価な絶縁分離された半導体装置の製造方法を提供することにある。

- 5 -

合する工程は両基板を接合することにより前記凹部と第2の半導体基板の主表面にて空間が形成されるものである特許請求の範囲第1項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は複数の素子が1チップ化された半導体装置の製造方法に関するものである。

(従来の技術)

従来、高電力パワートランジスタと制御回路を1チップ化した半導体装置の製造方法が、電気学会研究会資料(EDD-87-61)に示されている。即ち、第5図(a)~(e)に示す製造工程において、同図(a)に示すようにシリコン基板1、2に SiO_2 膜3、4を形成後、同図(b)に示すように両基板1、2を直接接合し、さらに、同図(c)に示すように縦型パワーMOSトランジスタ形成のために一部のSi部、 SiO_2 部を除去する。その後、同図(d)に示すように基板(ウェハ)上をエピタキシャル成長した後(エピ

- 4 -

(問題点を解決するための手段)

この発明は上記目的を達成すべく、第1の半導体基板内あるいはその主表面の所定領域に絶縁膜を形成する工程と、前記第1の半導体基板の主表面を平滑化する工程と、前記第1の半導体基板の主表面と平滑な第2の半導体基板の主表面を接合する工程と、前記第1の半導体基板あるいは第2の半導体基板に前記絶縁膜に至る分離層を形成して、電気的に分離される領域を区切る工程と、前記分離層にて分離された各領域に素子を形成する工程とを備える半導体装置の製造方法をその要旨とするものである。

(第1実施例)

以下、この発明を具体化した第1実施例を第1図(a)~(g)に従って説明する。

第1図(a)に示すように、例えば $5 \sim 10 \Omega \cdot \text{cm}$ のN型(100)のN⁻シリコン基板11にP(リン)、As(ヒ素)等の拡散によりN⁺層12を形成し、そのN⁺層12上に絶縁膜としての熱酸化膜(SiO_2)13を、例えば100

- 6 -

0℃スチーム中で0.5～1μmの膜厚で形成する。

次に、第1図(b)に示すように、前記熱酸化膜13の不要部分を除去した後、いわゆるエピタキシャル成長を1000～1200℃でP、Asの不純物を混しながら行い、0.5～5μmの膜厚の高濃度N⁺のエピタキシャル層14を成長させる。このとき、熱酸化膜13上はN⁺ポリシリコン層15が形成される。尚、エピタキシャル成長時に不純物を導入せずに、後から拡散、イオン注入によりN⁺高濃度部を形成してもよい。この第1図(b)に示す基板がその基板内の所定領域に絶縁膜を形成した第1の半導体基板となる。

次に、第1図(c)に示すように、シリコン基板11の主表面を、いわゆる鏡面研磨してエピタキシャル層14及びポリシリコン層15を同じ高さになるように平滑な表面を形成する。

引続き、第1図(d)に示すP、As、Sb等を含んだ第2の半導体基板としての単結晶のN⁺シリコン基板16を用意するとともに、この基板

- 7 -

分離層を形成する。このトレンチアイソレーションは例えばSiO₂膜等をマスク(図示せず)として、リアクティブイオンエッチングでN⁺シリコン基板11を部分的に熱酸化膜13までエッチング除去し熱酸化膜13に至るトレンチを形成してその側壁に熱酸化又はCVDにより分離層としての酸化膜17を形成し、さらに、このトレンチ部に分離層としてのポリシリコン18を埋め込み余分な部分を研磨にて除去することにより行われる。

引続き、分離層(酸化膜17、ポリシリコン18)にて分離された各領域P3、P4に素子を形成する。即ち、両基板11、16のSiどうしが接合している部分(領域P3)に、通常の方法で第1図(q)に示す縦型のパワーMOSトランジスタ19を形成し、N⁺シリコン基板16の領域をドレイン部として利用する。一方、熱酸化膜13及び酸化膜17、ポリシリコン18で分離された領域P4(第1図(f))は本実施例においてはNwellをイオン注入、ドライアインで形成し

- 9 -

16の主表面を鏡面研磨する。そして、この2枚の基板11、16の主表面を、例えばRCA洗浄等によりホコリ、その他油脂分のないクリーンな面にする。そして、第1図(e)に示すように、この両基板11、16の鏡面(主表面)どうしを接合し、800～1200℃の炉の中に挿入し両基板11、16の主表面を、いわゆる直接接合にて強固な接合とする。第1図(e)においては、下側にN⁺シリコン基板16が、上側にN⁺シリコン基板11が位置している。

このとき、例えば将来縦型のパワーMOSトランジスタを形成する場合、エピタキシャル層14とN⁺シリコン基板16との接合部分は単結晶化しているので接合部の抵抗成分が非常に小さくなり高性能化を計ることができる。

次に、第1図(f)に示すように、N⁺シリコン基板11を必要ならば所定の厚さに研磨したのちに、N⁺シリコン基板11に対しトレンチアイソレーションを形成して熱酸化膜13を用いて電気的に分離される領域P3、P4を区切るための

- 8 -

意の濃度の領域20を形成させ、PチャネルMOSトランジスタ21を形成する。尚、第1図(q)中、22はP⁺領域、23はP領域、24はN⁺領域である。

この場合、Nwellを形成したが、Pwellを形成しNチャネルMOSトランジスタ又はバイポーラトランジスタを形成することもでき、さらに、それらを組合せてロジック回路を形成してもよい。又、第1図(q)においては、熱酸化膜13及び酸化膜17、ポリシリコン18で分離された領域P4は1つしか示さなかったが、複数個の分離領域を形成してもよいことはいうまでもない。

続いて、ポリシリコンゲート、ソース、ドレイン不純物領域、配線層等(図示せず)を形成し、複合ICを形成する。

このように本実施例においては、従来の半導体装置の製造方法においては工程が複雑で歩留りが低くコストが高くなっていたが、従来必要だった両基板1、2及びSiO₂膜3、4の一部を除去するためのエッチング等の工程を不要にし、簡単

- 10 -

な工程にて素子が分離できる半導体装置を製造することができる。よって、製造が容易で安価な半導体装置とすることができる。

(第2実施例)

次に、この発明の第2実施例を第2図(a)、(b)を用いて説明する。

上記第1実施例では熱酸化膜13上及び同熱酸化膜13で覆われていない N^+ 層12上にエピタキシャル層14及び N^+ ポリシリコン層15を高圧において成長したが、第2図(a)に示すように、プラズマデポジションによりアモルファスシリコン層25を形成する。その後、いわゆる固相エピタキシャル成長(500~1100℃の熱処理)を行い、少なくとも単結晶(N^+ 層12)上のアモルファス層は固相エピタキシャル成長しその大部分を単結晶シリコン化させるとともに熱酸化膜13上はポリシリコンに変化させる。

そして、P、As等を拡散又はイオン注入によりイオン注入領域を N^+ 高濃度化する。この場合、アモルファスシリコン層25を形成する時、同時

- 11 -

(d)に従って説明する。

第3図(a)に示すように、例えば5~10Ω・cmのN型(100)の第1の半導体基板としてのシリコン基板26にP、As、Sb等を含んだ N^+ 層27を形成し、その N^+ 層27上に200~1000Åのバッドシリコン酸化膜28を酸化により形成する。引続き、500~2000Åのシリコン窒化膜(Si_3N_4)29をLPCVD法で析出し、所定の領域を通常のホトリソ、エッチングにより除去し、いわゆるLOCOS酸化法により第3図(b)に示す1~2μmの絶縁膜としての SiO_2 LOCOS領域30を形成する。

次に、第3図(c)に示すように、基板26の主表面を鏡面研磨により表面を平滑化する。

一方、第3図(d)に示す第2の半導体基板としての高濃度P、As等を含んだ(100)シリコン基板31を用意し、同様に鏡面研磨を行い表面を平滑化する。そして、この2枚の基板26、31の主表面を、例えばRCA洗浄等によりホコリ、その他油脂分のないクリーンな面にする。

- 13 -

に不純物を導入し N^+ 高濃度化してもよい。

引続き、第2図(b)に示すように、鏡面研磨を行い表面を平滑にする。その後の工程は上述した工程と同じように進める。尚、本実施例では、上記ではアモルファスシリコン層25をプラズマデポジションで形成したが、ポリシリコン層を形成後、Si、As、P等のイオン注入によりアモルファス化し引続き固相エピタキシャル成長してもよい。

(第3実施例)

次に、この発明の第3実施例を説明する。

上記第1実施例では熱酸化膜13上と N^+ シリコン基板11の N^+ 層12上にエピタキシャル成長させたが、熱酸化膜13上及び N^+ 層12上にLPCVDによりポリシリコンを形成し、その後As等を注入する。続いて、平滑化のために研磨を行い、その後の工程は前記実施例と同様に行なう。

(第4実施例)

次に、この発明の第4実施例を第3図(a)~

- 12 -

そして、第3図(e)に示すように、この両基板26、31の鏡面どうしを接合し、800~1200℃の炉の中に挿入し両基板の主表面を、いわゆる直接接合にて強固な接合とする。

以後は前述した第1実施例と同様にして、第3図(f)に示すトレンチアイソレーションの形成、及び第3図(g)に示す各素子の形成を行なう。

(第5実施例)

次に、この発明の第5実施例を第4図(a)~(c)を用いて説明する。

上記第4実施例では N^+ シリコン基板26の主表面とシリコン基板31を鏡面研磨にて平滑にし両基板26、31の全域を直接接合したが、第4図(a)に示すように SiO_2 表面に凹部32を形成し、 SiO_2 LOCOS領域30とシリコン基板31とを直接接合させないようにする。即ち、第4図(b)に示す第2の半導体基板としてのシリコン基板31と N^+ シリコン基板26を接合すると、第4図(c)に示すように SiO_2 LOCOS領域30とシリコン基板31の表面との間に

- 14 -

空間33ができる。

この方法においては、LOCOS後 SiO_2 エッチング液で SiO_2 LOCOS領域30をエッチング除去するだけで達成できる。あるいは、第4実施例での表面を鏡面研磨で平滑化した後、 HF 水溶液で SiO_2 LOCOS領域30をわずかにエッチング除去することにより空間33を形成することができる。

この複合ICにおいては上述したように縦型のパワーMOSのドレインが Si-Si で直接接合していれば良く、シリコン基板31と SiO_2 LOCOS領域30が接合している必要がない。さらに、ここに空間33が形成されることで、この SiO_2 LOCOS領域30上の絶縁体分離された領域は SiO_2 LOCOS領域30及び空間33で電気的、熱的に絶縁されることとなりより好ましい状態となる。尚、ウェハプロセスにおいては、シリコン内部にこの空間33が内包されているので問題はない。

発明の効果

- 15 -

以上詳述したようにこの発明によれば、製造工程が容易で安価な絶縁分離された半導体装置の製造方法を提供することができる優れた効果を発揮する。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の第1実施例の半導体装置の製造工程を説明するための図、第2図(a)、(b)は第2実施例の半導体装置の製造工程を説明するための図、第3図(a)～(d)は第4実施例の半導体装置の製造工程を説明するための図、第4図(a)～(c)は第5実施例の半導体装置の製造工程を説明するための図、第5図(a)～(e)は従来の半導体装置の製造工程を説明するための図である。

11はN⁻シリコン基板、13は絶縁膜としての熱酸化膜、16は第2の半導体基板としてのN⁺シリコン基板、17は分離層としての酸化膜、18は分離層としてのポリシリコン、19はパワーMOSトランジスタ、21はPチャネルMOSトランジスタ、26は第1の半導体基板としての

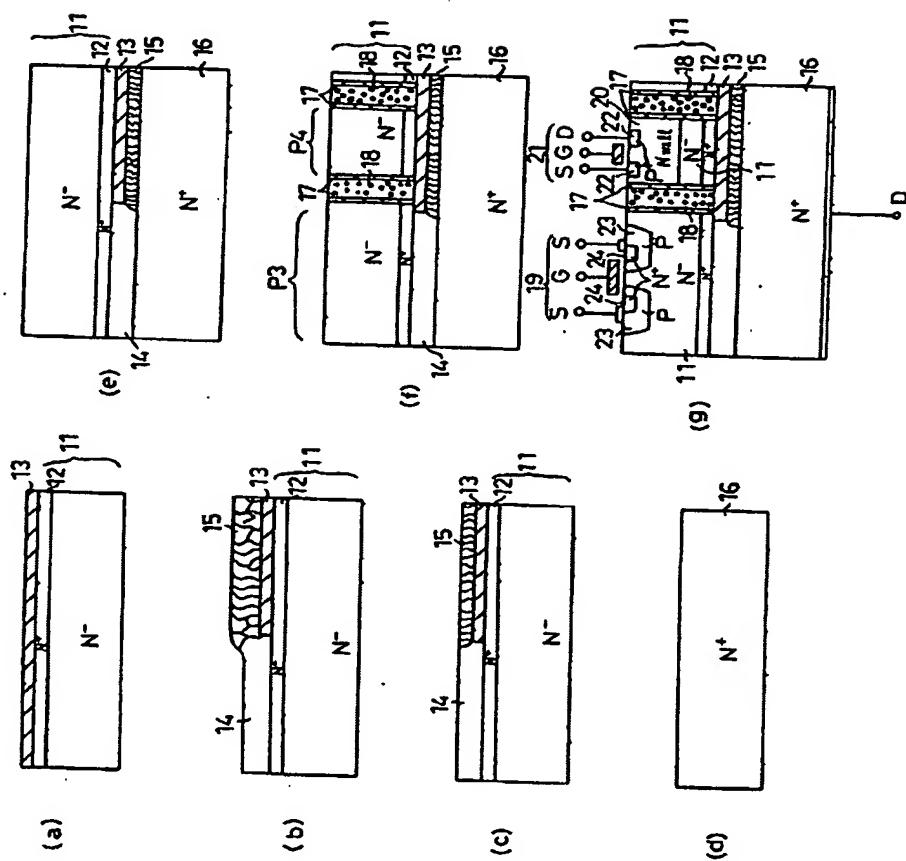
- 16 -

N⁻シリコン基板、30は絶縁膜としての SiO_2 LOCOS領域、31は第2の半導体基板としてのシリコン基板、32は凹部、33は空間。

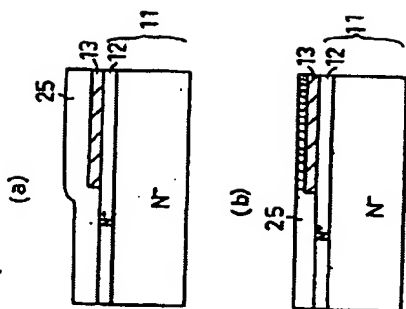
特許出願人 日本電装 株式会社
代理人 弁理士 恩田 博宣

- 17 -

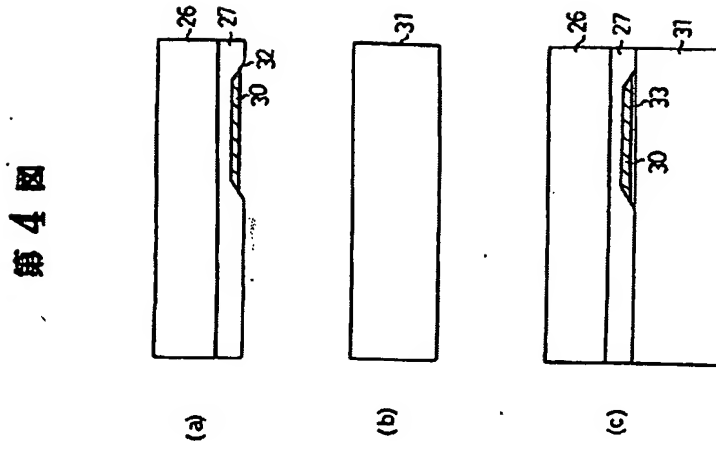
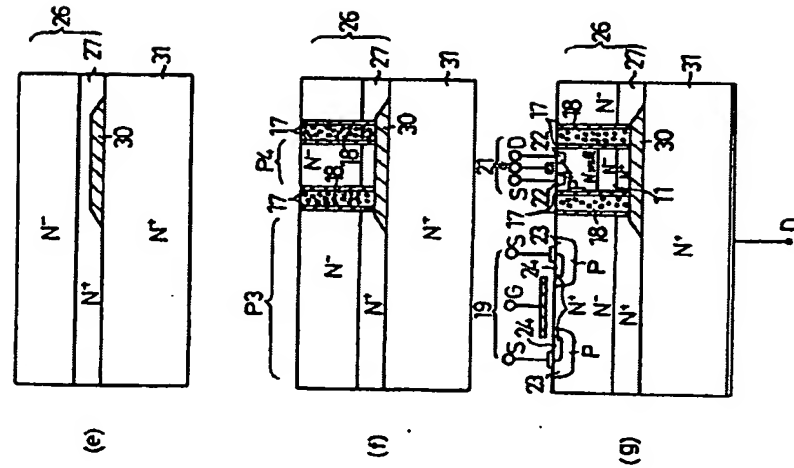
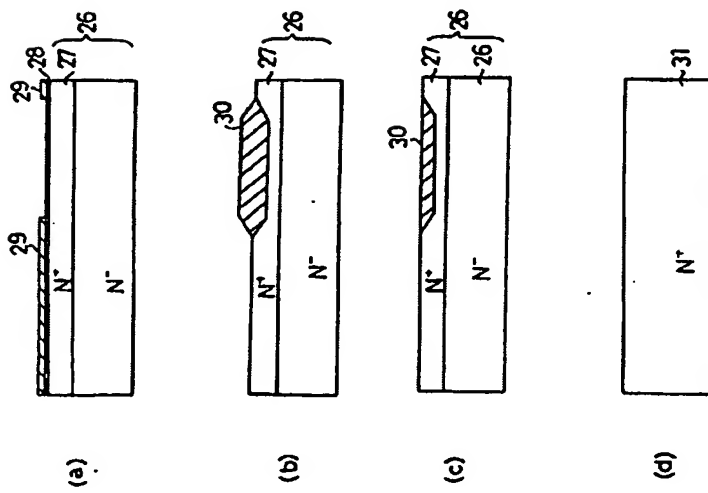
第 1 圖



第 2 圖



第 3 圖



第 4 圖

第 5 圖

